

BEST AVAILABLE COPY

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-237505
(43)Date of publication of application : 31.08.2001

(51)Int.Cl. H05K 1/02
H05K 3/46

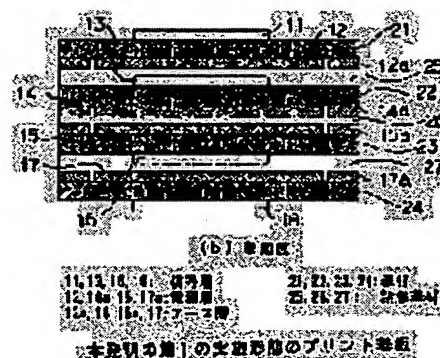
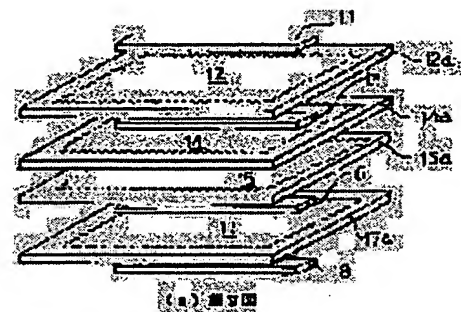
(21)Application number : 2000-044610 (71)Applicant : OKI ELECTRIC IND CO LTD
(22)Date of filing : 22.02.2000 (72)Inventor : SAITO KENICHI

(54) MULTILAYER PRINTED CIRCUIT BOARD

(57)Abstract:

PROBLEM TO BE SOLVED: To suppress power supply noise that is reflected at the substrate end of a multilayer printed circuit board.

SOLUTION: At a periphery on the same plane as power supply layers 12 and 15, there are provided ground layers 12a and 15a for giving ground potential via a boundary that is formed in zigzags. In addition, at a periphery on the same plate as ground layers 14 and 17, power supply layers 14a and 17a for giving the ground potential via the boundary that is formed in zigzags are provided, thus terminating the power supply layers 12 and 15 and ground layers 14 and 17 by a capacitor that is composed at the periphery on the same plane, and hence suppressing the power supply noise that is reflected at the end of a printed circuit board.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2001-237505
(P2001-237505A)

(43)公開日 平成13年8月31日(2001.8.31)

(51)Int.Cl.

識別記号

F I

テーマコード(参考)

H 0 5 K 1/02
3/46

H 0 5 K 1/02
3/46

N 5 E 3 3 8
K 5 E 3 4 6

BEST AVAILABLE COPY

審査請求 未請求 請求項の数6 O L (全 6 頁)

(21)出願番号 特願2000-44610(P2000-44610)

(22)出願日 平成12年2月22日(2000.2.22)

(71)出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72)発明者 齋藤 賢一

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

(74)代理人 100086807

弁理士 柿本 恭成

Fターム(参考) 5E338 AA03 BB63 CC01 CC04 CC06

CD11 EE13

5E346 AA06 AA12 AA15 AA23 AA38

BB02 BB03 BB04 BB07 BB11

CC02 CC09 EE02 EE06 EE07

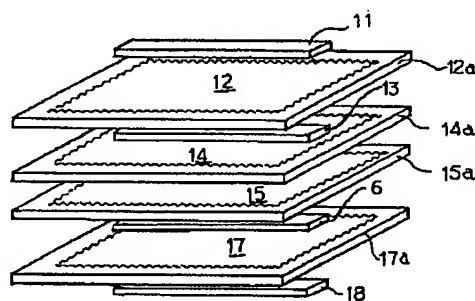
EE09 FF42 GG28 HH01

(54)【発明の名称】 多層プリント回路基板

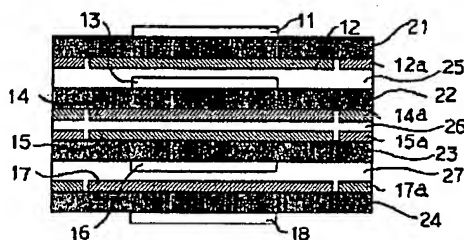
(57)【要約】

【課題】 多層プリント回路基板の基板端部で反射する電源雑音を抑制する。

【解決手段】 電源層12, 15と同一平面上の周囲に、ジグザグに形成した境界線を介してアース電位を与えるためのアース層12a, 15aを設ける。更に、アース層14, 17と同一平面上の周囲に、ジグザグに形成した境界線を介して電源電位を与えるための電源層14a, 17aを設ける。これにより、電源層12, 15、及びアース層14, 17が、同一平面上の周辺部に構成されたキャパシタによって終端され、プリント基板端部で反射される電源雑音を抑制することができる。



(a) 組立図



(b) 断面図

11, 13, 16, 18: 信号層
12, 14a, 15, 17a: 電源層
12a, 14, 15a, 17: アース層
21, 22, 23, 24: 基材
25, 26, 27: 粘性基材

本発明の第1の実施形態のプリント基板

【特許請求の範囲】

【請求項1】 一定の共通電位を与える平面状のアース層、所定の電源電圧を供給する平面状の電源層、及び信号配線用のプリント回路が形成された信号層を絶縁用の基材を介して積層した多層プリント回路基板において、前記電源層と同一平面上で該電源層の周囲に前記共通電位を与えるためのアースパターンを設けたことを特徴とする多層プリント回路基板。

【請求項2】 前記アース層と同一平面上で該アース層の周囲に前記電源電圧を与えるための電源パターンを設けたことを特徴とする請求項1記載の多層プリント回路基板。

【請求項3】 前記電源層と前記アースパターンの境界、または前記アース層と前記電源パターンの境界を、ジグザグまたは楕円形に形成したことを特徴とする請求項1または2記載の多層プリント回路基板。

【請求項4】 一定の共通電位を与える平面状のアース層、所定の電源電圧を供給する平面状の電源層、及び信号配線用のプリント回路が形成された信号層を絶縁用の基材を介して積層した多層プリント回路基板において、前記電源層を前記基板の表面及び裏面に配置すると共に、該基板の周辺部に該表面及び裏面の電源層を挟んで前記共通電位を与えるためのU字型のアース板を設けたことを特徴とする多層プリント回路基板。

【請求項5】 一定の共通電位を与える平面状のアース層、所定の電源電圧を供給する平面状の電源層、及び信号配線用のプリント回路が形成された信号層を絶縁用の基材を介して積層した多層プリント回路基板において、前記基板の周辺部で前記アース層と前記電源層の間に介在する基材の比誘電率を、該基板中央のプリント回路部分の基材の比誘電率よりも高く設定したことを特徴とする多層プリント回路基板。

【請求項6】 一定の共通電位を与える平面状のアース層、所定の電源電圧を供給する平面状の電源層、及び信号配線用のプリント回路が形成された信号層を絶縁用の基材を介して積層した多層プリント回路基板において、前記基板の周辺部で前記アース層と前記電源層の間に介在する基材の厚さを、該基板中央のプリント回路部分の基材の厚さよりも薄く形成したことを特徴とする多層プリント回路基板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、多層プリント回路基板（以下、「プリント基板」という）の基板構造に関するものである。

【0002】

【従来の技術】半導体素子の高速・高集積化に伴って、これらの半導体素子等の回路素子を搭載する基板も高密度化の傾向が高まり、複数の配線層を多層化したプリント基板が広く用いられている。プリント基板では、安定

した電源供給や電磁シールド等のために、信号配線用の信号層と、電源供給用の電源層及びアース層をそれぞれ別の層として設けることが多い。

【0003】図2は、従来のプリント基板の模式的な等価回路図である。このプリント基板は、共通電位を与えるアース層1、電源電圧を供給する電源層2、及び信号配線用のプリント回路が形成された信号層3が、図示しない絶縁用の基材を介して積層された構造になっている。そして、アース層1に設けられた接続箇所1a、1b、…と、電源層2に設けられた接続箇所2a、2b、…との間に、それぞれ回路素子4a、4b、…のアース端子及び電源端子が接続されるようになっている。また、回路素子4a、4b、…の間の信号配線は、信号層3に形成されたプリント回路で行われるようになっている。更に、アース層1の一端1zと電源層2の一端2zの間には、電源5が接続されるようになっている。

【0004】このようなプリント基板では、アース層1と電源層2のそれぞれのインピーダンスを極めて小さくすることができるので、電源5から回路素子4a、4b、…に、安定して電力を供給することができる。また、アース層1と電源層2で信号層3を挟む構造にすることにより、外部との電磁シールド効果が得られ、安定した動作が可能になると共に、外部に対する電磁雑音の放射を抑制することができる。

【0005】

【発明が解決しようとする課題】しかしながら、従来のプリント基板では、次のような課題があった。即ち、アース層1と電源層2のそれぞれのインピーダンスは極めて小さいものであるが、厳密に見ると図2に示すように、各回路素子4a、4b、…は、電源5側から微小の抵抗とインダクタンスを介して電力が供給されるようになっている。従って、回路素子4a、4b、…の動作に伴って負荷電流が変化すると、これらの回路素子4a、4b、…の電源・アース端子間の電圧変動、即ち電源雑音が発生する。

【0006】回路素子4a、4b、…の電源・アース端子間に発生した電源雑音は、アース層1と電源層2を伝送路として、プリント基板の端部（例えば、図2中の1y、2y）にまで伝わる。プリント基板の端部1y、2yでは、アース層1と電源層2の間は電気的に終端されておらず、インピーダンスが無限大に近いオープン状態となっている。一方、回路素子4a、4b、…の電源・アース端子から見た電源回路のインピーダンスは非常に小さいので、プリント基板の端部1y、2yにおけるインピーダンス不連続点で電源雑音が反射する。このため、プリント基板に搭載された回路素子4a、4b、…の電源・アース端子に反射された電源雑音が重畳し、これらの回路素子4a、4b、…の雑音マージンを超過して誤動作を引き起こす要因となっていた。

【0007】このような誤動作を防止するために、主要

な回路素子4 a, 4 b, …の電源・アース端子の近傍やプリント基板の要所に、アース層1と電源層2の間を接続するバイパス・コンデンサ6 a, 6 b, 6 c, …を搭載して、電源雑音を低減させるようにしている。しかし、バイパス・コンデンサは個別部品で構成されるため、その搭載面積や搭載工程が必要であり、プリント基板の小形化や部品搭載のコストダウンが困難になるという課題があった。

【0008】本発明は、前記従来技術が持っていた課題を解決し、基板端部で反射される電源雑音を抑制することができる構造のプリント基板を提供するものである。

【0009】

【課題を解決するための手段】前記課題を解決するために、本発明の内の第1の発明は、一定の共通電位を与える平面状のアース層、所定の電源電圧を供給する平面状の電源層、及び信号配線用のプリント回路が形成された信号層を絶縁用の基材を介して積層したプリント基板において、前記電源層と同一平面上で該電源層の周囲に前記共通電位を与えるためのアースパターンを設けている。

【0010】第2の発明は、第1の発明のプリント基板において、アース層と同一平面上で該アース層の周囲に電源電圧を与えるための電源パターンを設けている。第3の発明は、第1または第2の発明のプリント基板において、電源層とアースパターンの境界、またはアース層と電源パターンの境界を、ジグザグまたは楕形に形成している。

【0011】第1～第3の発明によれば、以上のようにプリント基板を構成したので、次のような作用が行われる。電源層とその周囲に設けられたアースパターンとの間に、キャパシタが形成される。また、アース層とその周囲に設けられた電源パターンとの間に、キャパシタが形成される。これにより、プリント基板の周辺部において、電源層とアース層の間がキャパシタで終端され、プリント基板の端部から反射される電源雑音が抑制される。

【0012】第4の発明は、第1の発明と同様のプリント基板において、電源層を基板の表面及び裏面に配置すると共に、該基板の周辺部に該表面及び裏面の電源層を挟んで共通電位を与えるためのU字型のアース板を設けている。第4の発明によれば、次のような作用が行われる。基板周辺部に設けられたアース板と、この基板の表面及び裏面の電源層との間に終端用のキャパシタが構成され、プリント基板の端部から反射される電源雑音が抑制される。

【0013】第5の発明は、第1の発明と同様のプリント基板において、基板の周辺部でアース層と電源層の間に介在する基材の比誘電率を、該基板中央のプリント回路部分の基材の比誘電率よりも高く設定している。第5の発明によれば、次のような作用が行われる。基板周辺

部に設けられた比誘電率の高い基材で、アース層と電源層間に終端用のキャパシタが構成され、プリント基板の端部から反射される電源雑音が抑制される。

【0014】第6の発明は、第1の発明と同様のプリント基板において、基板の周辺部でアース層と電源層の間に介在する基材の厚さを、該基板中央のプリント回路部分の基材の厚さよりも薄く形成している。第6の発明によれば、次のような作用が行われる。基板周辺部に形成された薄い基材で、アース層と電源層間に終端用のキャパシタが構成され、プリント基板の端部から反射される電源雑音が抑制される。

【0015】

【発明の実施の形態】（第1の実施形態）図1（a）、（b）は、本発明の第1の実施形態を示すプリント基板の構成図であり、同図（a）は組立図、及び同図（b）は断面図である。このプリント基板は、信号配線や電源供給用の8個の導電層で構成される8層プリント基板である。1層目は、信号配線用の信号層11となっている。2層目は電源層12であり、その周辺部にアースパターン（例えば、アース層）12aが設けられている。電源層12とアース層12aの境界は、対向する辺の長さを長くするためにジグザグに形成されている。3層目は信号層13であり、4層目はアース層14でその周辺部に電源パターン（例えば、電源層）14aが設けられている。このアース層14と電源層14aの境界も、対向する辺の長さを長くするためにジグザグに形成されている。

【0016】以下同様に、5層目が電源層15とアース層15a、6層目が信号層16、7層目がアース層17と電源層17a、及び8層目が信号層18となっている。信号層11、13、16、18は、銅箔等によって信号配線用のプリント回路が形成されたものである。また、電源層12、14a、15、17a、及びアース層12a、14、15a、17は、それぞれ平面状の銅箔等で構成されたものである。

【0017】信号層11と電源層12は、信号配線の特性インピーダンスを満たすために、所定の比誘電率（例えば、4～5）を有するガラスエポキシ樹脂等の基材21の両面に形成されている。同様に、信号層13とアース層14は基材22の両面に、電源層15と信号層16は基材23の両面に、アース層17と信号層18は基材24の両面に、それぞれ形成されている。更に、電源層12と信号層13、アース層14と電源層15、及び信号層16とアース層17の間は、それぞれ粘性の強い粘性基材25、26、27によって接着され、基板全体が積層構造となっている。粘性基材には、半硬化状態のエポキシ樹脂をガラス布に含浸させたプリプレグ等が用いられる。

【0018】このようなプリント基板は、次のようにして製造される。まず、ガラスエポキシ樹脂板の両面に銅

箔が張り付けられた基材21をエッチングして、表面に信号層11を、裏面に電源層12とアース層12aを形成する。同様に、基材22の両面をエッチングして、表面に信号層13を、裏面にアース層14と電源層14aを形成する。また、基材23の表面に電源層15とアース層15a、裏面に信号層11をそれぞれ形成し、基材24の表面にアース層17と電源層17a、裏面に信号層18をそれぞれ形成する。このように形成された基材21～24を、プリプレグ等の粘性基材25～27を介して積層し、加熱圧着して硬化させてプリント基板が完成する。

【0019】次に、動作を説明する。2層目の電源層12において、この電源層12と周辺部のアース層12aとの境界に、キャパシタが形成される。また、4層目のアース層14において、このアース層14と周辺部の電源層14aとの境界に、キャパシタが形成される。同様に、5層目において、電源層15とアース層15aとの境界にキャパシタが形成され、7層目において、アース17と電源層17aとの境界にもキャパシタが形成される。これにより、電源層とアース層の端部が、これらのキャパシタで終端されてインピーダンスが低下し、基板端部から反射される電源雑音、及びこの基板端部から放射される放射雑音が抑制される。

【0020】以上のように、この第1の実施形態のプリント基板は、電源層12、15及びアース層14、17の周辺部に対して、それぞれ同一平面上でキャパシタを形成するためのアース層12a、15a及び電源層14a、17aを設けている。これにより、基板端部からの反射による電源雑音と放射雑音を抑制することができるという利点がある。

【0021】(第2の実施形態)図3(a)、(b)は、本発明の第2の実施形態を示すプリント基板の構成図であり、同図(a)は組立図、及び同図(b)は断面図である。図3において、図1中の要素と共通の要素には共通の符号が付されている。このプリント基板は、表面及び裏面にそれぞれ信号層11及び電源層12を形成した基材21と、表面及び裏面にそれぞれ信号層13及びアース層14を形成した基材22と、表面及び裏面にそれぞれアース層17及び信号層18を形成した基材23と、表面及び裏面にそれぞれ電源層15及び信号層16を形成した基材24とを有している。

【0022】更に、これらの基材21～24が、粘着基材25～27によって接着され、積層基板10が形成されている。積層基板10の周囲の4辺には、U字型のアース板31、32、33、34が嵌められている。このようなプリント基板で、アース板31～34をアース層14、17と同電位に接続することにより、積層基板10における上部の電源層12とアース板31～34との間に、基材21を介してキャパシタが形成される。また積層基板10下部の電源層15とアース板31～34と

の間に、基材24を介してキャパシタが形成される。

【0023】以上のように、この第2の実施形態のプリント基板は、積層基板10の表面及び裏面の電源層12、15を基材21、24を挟んでアース電位を与えるためのU字型のアース板31～34を設けている。これにより、電源層12、15の端部がキャパシタで終端され、第1の実施形態と同様の利点がある。更に、積層基板10の周囲がアース板31～34で完全にシールドされるので、外部に対する電磁妨害雑音を効果的に抑制することができるという利点がある。

【0024】(第3の実施形態)図4は、本発明の第3の実施形態を示すプリント基板の断面図であり、図1中の要素と共通の要素には共通の符号が付されている。このプリント基板は、表面及び裏面にそれぞれ信号層11及び電源層12を形成した基材21と、表面及び裏面にそれぞれ信号層13及びアース層14を形成した基材22と、表面及び裏面にそれぞれ電源層15及び信号層16を形成した基材23と、表面及び裏面にそれぞれアース層17及び信号層18を形成した基材24とを有している。そして、これらの基材21～24が、粘着基材25～27によって接着されている。

【0025】一方、このプリント基板の周辺部の電源層12とアース層14の間、アース層14と電源層15の間、及び電源層15とアース層17の間には、基材21～24や粘性基材25～27よりも高い比誘電率を有する材料で構成された高誘電層35、36、37が設けられている。このようなプリント基板では、基板周辺部の高誘電層35～37によって、容量の大きなキャパシタが構成され、電源層12、15とアース層14、17の間が終端される。

【0026】以上のように、この第3の実施形態のプリント基板は、基板周辺部において、電源層12、15とアース層14、17の間に、高い比誘電率を有する高誘電層35～37を設けている。これにより、電源層12、15とアース層14、17の間が大きなキャパシタで終端され、第1の実施形態と同様の作用、効果が得られる。

【0027】(第4の実施形態)図5は、本発明の第4の実施形態を示すプリント基板の断面図であり、図1中の要素と共通の要素には共通の符号が付されている。このプリント基板は、表面及び裏面にそれぞれ信号層11及び電源層12を形成した基材21と、表面及び裏面にそれぞれ信号層13及びアース層14を形成した基材22と、表面及び裏面にそれぞれ電源層15及び信号層16を形成した基材23と、表面及び裏面にそれぞれアース層17及び信号層18を形成した基材24とを有している。そして、これらの基材21～24が、粘着基材25～27によって接着されている。

【0028】更に、このプリント基板は、周辺部をプレス加工することにより、電源層12とアース層14の間

の基材22、24、アース層14と電源層15の間の粘性基材26、及び電源層15とアース層17の間の基材23、27の厚さが、信号層11、13、16、18の形成された中央部の厚さよりも、薄くなるように形成している。このようなプリント基板では、厚さの薄い基材22、23、及び粘性基材25～27によって、容量の大きなキャパシタが構成され、電源層12、15とアース層14、17の周辺部が終端される。

【0029】以上のように、この第4の実施形態のプリント基板は、基板周辺部において、電源層12、15とアース層14、17の間の基材を薄くなるようにプレス加工している。これにより、電源層12、15とアース層14、17の間が大きなキャパシタで終端され、第1の実施形態と同様の作用・効果が得られる。更に、このプリント基板は、従来通りの通常の工程で積層基板を構成した後、周辺部をプレス加工するだけで製造することができるので、製造工程が簡単であるという利点がある。

【0030】なお、本発明は、上記実施形態に限定されず、種々の変形が可能である。この変形例としては、例えば、次の(a)～(c)のようなものがある。

(a) 8層のプリント基板について説明したが、独立した電源層とアース層を有するプリント基板であれば、どのようなプリント基板に対しても適用可能である。

(b) 図1のプリント基板では、電源層12、15とアース層14、17の周辺に、それぞれアース層12a、15aと電源層14a、17aを設けているが、アース層14、17の周辺にのみに電源層14a、17aを設ける構成にしても良い。これにより、終端効果が若干少なくなる場合もあるが、製造工程の簡素化が可能になる。

(c) 図1のプリント基板では、例えば電源層12とアース層12aとの境界を、ジグザグに形成しているが、楕形やその他の形状に形成しても良い。

【0031】

【発明の効果】以上詳細に説明したように、第1の発明によれば、電源層の周囲に共通電位を与えるためのアースパターンを設けている。これにより、電源層とアースパターンの間にキャパシタが形成され、このキャパシタによって電源層の周辺部が共通電位に終端され、プリント基板の端部から反射される電源雑音が抑制されるという効果がある。

【0032】第2の発明によれば、電源層の周囲に共通電位を与えるためのアースパターンに加え、アース層の周囲に電源電位を与えるための電源パターンを設けている。これにより、終端用のキャパシタの容量が大きくなり、電源雑音の抑制効果を高くすることができるという

効果がある。

【0033】第3の発明によれば、電源層とアースパターンの境界、及びアース層と電源パターンの境界を、ジグザグまたは楕形に形成している。これにより、終端用のキャパシタの容量が大きくなり、電源雑音の抑制効果を更に高くすることができるという効果がある。

【0034】第4の発明によれば、プリント基板の周辺部に、その表面及び裏面の電源層を挟んで共通電位を与えるためのU字型のアース板を設けている。これにより、終端用のキャパシタの容量が大きくなり、電源雑音の抑制効果を高くすることができるという効果がある。更に、アース板はシールド効果を有するので、外部に対する電磁妨害雑音を効果的に抑制することができるという効果がある。

【0035】第5の発明によれば、プリント基板の周辺部でアース層と電源層の間に介在する基材の比誘電率を、プリント回路部分の基材の比誘電率よりも高く設定している。これにより、終端用のキャパシタの容量が大きくなり、電源雑音を抑制することができるという効果がある。

【0036】第6の発明によれば、プリント基板の周辺部でアース層と電源層の間隔を狭くするように構成している。これにより、周辺部における終端用のキャパシタの容量が大きくなり、電源雑音を抑制することができるという効果がある。更に、このような構造は、プリント基板の周辺部をプレス加工することによって簡単に得られるので、製造工程の簡単であるという効果がある。

【図面の簡単な説明】

【図1】本発明の第1の実施形態を示すプリント基板の構成図である。

【図2】従来のプリント基板の模式的な等価回路図である。

【図3】本発明の第2の実施形態を示すプリント基板の構成図である。

【図4】本発明の第3の実施形態を示すプリント基板の断面図である。

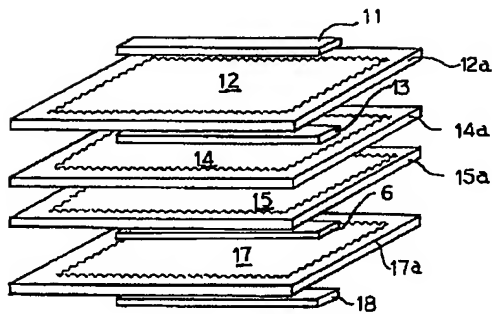
【図5】本発明の第4の実施形態を示すプリント基板の断面図である。

【符号の説明】

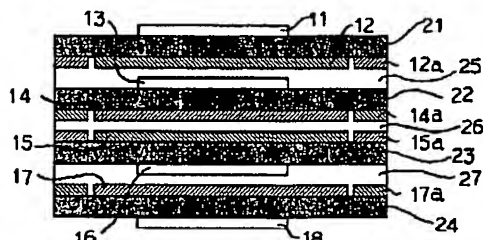
- 10 積層基板
- 11, 13, 16, 18 信号層
- 12, 14a, 15, 17a 電源層
- 12a, 14, 15a, 17 アース層
- 21～24 基材
- 25～27 粘性基材
- 31～34 アース板
- 35～37 高誘電層

BEST AVAILABLE COPY

【図1】



(a) 組立図



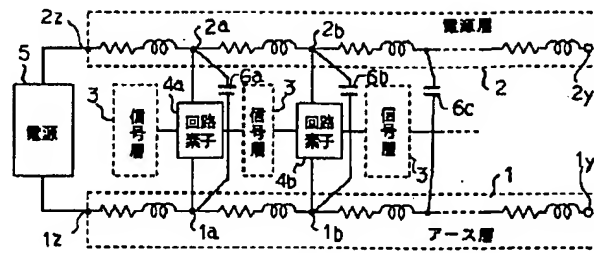
(b) 断面図

11, 13, 16, 18: 信号層
12, 14a, 15, 17a: 電源層
12a, 14, 15a, 17: アース層

21, 22, 23, 24: 基材
25, 26, 27: 粘性基材

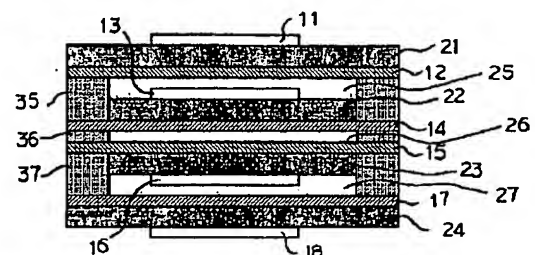
本発明の第1の実施形態のプリント基板

【図2】



従来のプリント基板の等価回路

【図4】

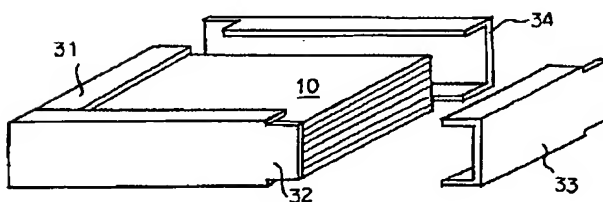


11, 13, 16, 18: 信号層
12, 15: 電源層
14, 17: アース層

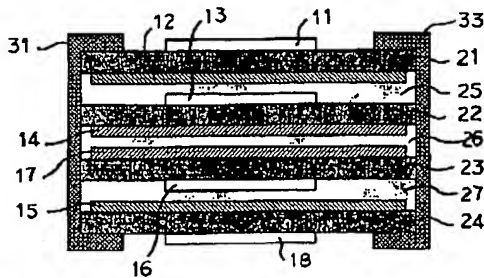
21, 22, 23, 24: 基材
25, 26, 27: 粘性基材
35, 36, 37: 高誘電層

本発明の第3の実施形態のプリント基板

【図3】



(a) 組立図



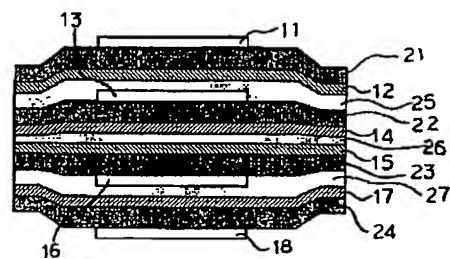
(b) 断面図

10: 被覆基板
11, 13, 16, 18: 信号層
12, 15: 電源層
14, 17: アース層

21, 22, 23, 24: 基材
25, 26, 27: 粘性基材
31, 32, 33, 34: アース板

本発明の第2の実施形態のプリント基板

【図5】



11, 13, 16, 18: 信号層
12, 15: 電源層
14, 17: アース層

21, 22, 23, 24: 基材
25, 26, 27: 粘性基材

本発明の第4の実施形態のプリント基板